

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-171399

(43) 公開日 平成9年(1997)6月30日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 1 0 L 9/14			G 1 0 L 9/14	H
H 0 3 H 17/02	6 0 1	9274-5 J	H 0 3 H 17/02	6 0 1 H

審査請求 未請求 請求項の数6 O L (全 7 頁)

(21) 出願番号 特願平7-330590

(22) 出願日 平成7年(1995)12月19日

(71) 出願人 000001122

国際電気株式会社

東京都中野区東中野三丁目14番20号

(72) 発明者 佐々木 誠司

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

(72) 発明者 占部 健三

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

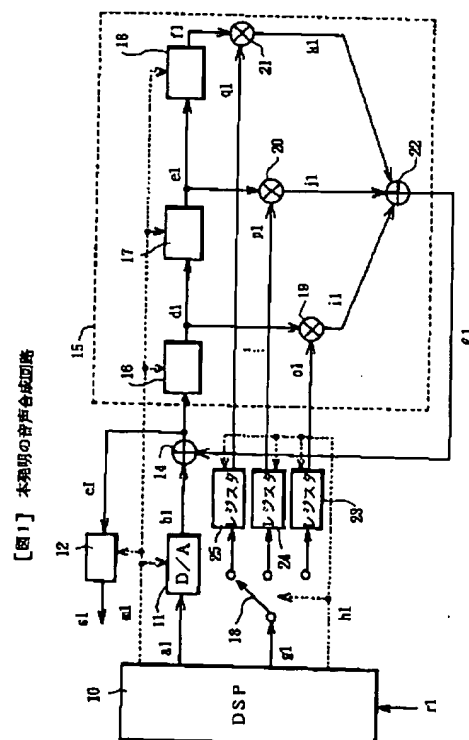
(74) 代理人 弁理士 秋本 正実

(54) 【発明の名称】 音声合成方法及びその合成回路

(57) 【要約】

【課題】 演算量や消費電力を低減することにある。

【解決手段】 DSP 10 から出力する音源信号を D/A 変換器 11 でアナログ変換し、アナログ音源信号と予測信号を加算器 14 で加算して合成音声信号を出力しサンプルホールド回路 12 でホールドした合成音声信号を出力する。予測信号の合成は、合成音声信号をアナログ遅延回路 16 ~ 18 で遅延させて複数の遅延合成音声信号を出力し、DSP 10 から出力する線形予測係数を切替器 13 及びレジスタ 23 ~ 25 を通して重み係数として入力し、アナログ重み付け回路 19 ~ 21 により前記遅延合成音声信号に重み付けし、この複数の重み付け遅延合成音声信号をアナログ合成器 22 で合成して予測信号を出力する。



【特許請求の範囲】

【請求項1】 合成音声信号を遅延させて複数の遅延合成音声信号を生成し、線形予測係数を重み付け係数として前記遅延合成音声信号を重み付け合成して予測信号を出力し、入力音源信号をアナログ変換し、該アナログ変換した音源信号と前記予測信号とを加算して合成音声信号を出力することを特徴とする音声合成方法。

【請求項2】 音源信号と下記重み付け合成回路の出力である予測信号とを加算してその結果である合成音声信号を出力する加算器と、該加算器の出力する合成音声信号を遅延させて複数のタップ出力として出力する遅延回路と、線形予測係数を重み付け係数として前記該遅延回路のそれぞれのタップ出力を重み付け合成しその結果として予測信号を出力する重み付け合成回路とから構成される線形予測分析による音声合成回路において、前記遅延回路および重み付け合成回路の少なくとも1つはアナログ回路を用いて構成されたことを特徴とする音声合成回路。

【請求項3】 前記アナログ遅延回路は、多段のサンプルホールド回路で構成されたことを特徴とする請求項2記載の音声合成回路。

【請求項4】 前記アナログ重み付け合成回路は、重み付けインピーダンス合成回路であることを特徴とする請求項2記載の音声合成回路。

【請求項5】 合成音声信号を所定のタイミングでシフトし線形予測分析次数 p に対応する p 段の遅延合成音声信号を出力するアナログ回路により構成された遅延回路と、線形予測係数を重み付け係数として前記遅延回路の p 段の遅延合成音声信号にそれぞれ重み付けを行い重み付けされた p 個の遅延合成音声信号を出力する p 個のアナログ回路により構成された重み付け回路と、該重み付け回路の出力である重み付けされた p 個の遅延合成音声信号を合成して、音源信号と加算することにより前記合成音声信号を生成するための予測信号を出力するアナログ回路により構成された合成器とで構成されたことを特徴とする音声合成回路。

【請求項6】 音声信号を入力し線形予測分析を実行して線形予測係数と音源信号を計算、または線形予測係数情報と音源信号情報を伝送路またはメモリから入力して線形予測係数と音源信号を出力するDSPと、該DSPより出力されるデジタル形式の音源信号をアナログ信号に変換し出力するD/A変換器と、

【数1】

$$H(z) = \frac{1}{A_p(z)}, \quad A_p(z) = 1 + \alpha_1 z^{-1} + \alpha_2 z^{-2} + \dots + \alpha_p z^{-p}$$

$$Z = e^{j\lambda}, \quad \lambda = 2\pi fT, \quad T = \text{サンプリング周期}$$

【0005】ここで、 $\alpha_1, \alpha_2, \dots, \alpha_p$ は線形予測係数であり、分析次数 $p=10$ 次が用いられる。数1で表

該D/A変換器の出力である音源信号とアナログ回路により構成された合成回路の出力である予測信号を加算して合成音声信号を出力する加算器と、

該加算器の出力である合成音声信号を所定のタイミングでホールドして出力するサンプルホールド回路とを備えて成り、

かつ、前記合成回路は、前記加算器の出力である合成音声信号を所定のタイミングでシフトし線形予測分析次数 p に対応する p 段の遅延合成音声信号を出力するアナログ回路により構成された遅延回路と、

前記DSPからの出力である線形予測係数を入力し各係数毎に別々のレジスタ回路に書き込むために出力を切り替える切り替え器と、

該切り替え器からの出力である線形予測係数を入力し一次的に蓄える線形予測分析次数 p に対応する p 個のレジスタ回路と、

該 p 個のレジスタ回路からの出力を重み付け係数として前記遅延回路の p 段の遅延合成音声信号にそれぞれ重み付けを行い重み付けされた p 個の遅延合成音声信号を出力する p 個のアナログ回路により構成された重み付け回路と、

該重み付け回路の出力である重み付けされた p 個の遅延合成音声信号を合成して予測信号を出力するアナログ回路により構成された合成器とで構成されたことを特徴とする音声合成回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、音声符号化装置や音声合成装置に用いられる音声合成方法及び合成回路に関するものである。

【0002】

【従来の技術】線形予測分析による音声合成回路は、DSP（デジタル・シグナル・プロセッサ）によりデジタル処理で実現されている。

【0003】一般的に、音声符号化装置や音声合成装置で用いられる線形予測分析による音声合成回路では、音源信号を数1式の全極型デジタルフィルタ $H(z)$ に入力し、出力として合成音声を得る。フィルタの重み係数としては線形予測係数を用い、分析フレーム（10～30ms）毎に重み係数を更新する。

【0004】

【数1】

される音声合成回路は、音源信号に声道特性（音声のスペクトル包絡特性）を付加する機能を持つ。音源信号

と、重み付け合成回路での重み付け係数として用いられる線形予測係数は、線形予測分析（公知の技術）により求められる。

【0006】数1式の構成は図1に示すようにIIRフィルタとなる。同図において、 Z^{-1} は遅延因子であり、遅延回路により遅延された合成音声を線形予測係数に (-1) を乗算した $-a_1, -a_2, \dots, -a_p$ を重み係数として用いて、重み付け合成する。重み係数である線形予測係数は、分析フレーム（10～30ms）毎に更新される。現状では、これをDSPによりソフト的に実現している。

【0007】

【発明が解決しようとする課題】ここで問題となるのは、この合成処理に必要な演算量がDSPにとって負担になることである。即ち、サンプリング周波数を8000Hz、1フレーム長を10ms（80サンプル）、分析次数を10次とすれば、1フレーム内の演算量は、20（積和算10回（タップ数）、シフト10回）×80（サンプル数）＝1600回となる。この演算量は、DSPの消費電力を増加させる。また、これを携帯端末に用いる場合、通話時間が著しく制限されるなどの問題がある。

【0008】本発明の目的は、このDSPの演算量や消費電力の増大の問題を解決することにある。

【0009】

【課題を解決するための手段】前記の目的は、携帯端末の低消費電力化を狙い、遅延回路、重み付け合成回路について低消費電力のアナログ回路を用いることによって達成される。

【0010】また、前記の目的は、入力信号である音源信号と重み付け合成回路の出力である予測信号を加算して、その結果である合成音声信号を出力する加算器と、該合成音声信号を遅延させ複数のタップ出力として出力する遅延回路と、線形予測係数を重み付け係数として前記遅延回路のそれぞれのタップ出力を重み付け合成し、その結果として予測信号を出力する重み付け合成回路とから構成される線形予測分析による音声合成回路において、前記遅延回路および重み付け合成回路の少なくとも1つをアナログ回路を用いて構成したことによって達成される。

【0011】前記の手段によると、線形予測分析による音声合成回路において遅延回路、重み付け合成回路をアナログ回路により実現することにより、音声合成回路の消費電力を低減することができ、これを携帯端末に使用した場合、通話時間を長く保つことができる。

【0012】

【発明の実施の形態】図1は本発明の線形予測係数を用いた音声合成回路の一実施形態を示す。DSP10は、本装置が音声符号装置に用いられる場合は、入力r1として音声信号を入力し、線形予測分析を実行し、線形

予測係数と音源信号を計算する、または、入力r1として線形予測係数情報と音源信号情報を伝送路から受信するとともに、後述するアナログ回路を制御するための種々の制御信号を生成する。また、本装置が音声合成装置に用いられる場合は、入力r1としてメモリ等に記憶されている線形予測係数と音源信号の情報を入力するとともに、後述するアナログ回路を制御するための種々の制御信号を生成する。点線の枠で囲まれた部分15、サンプルホールド回路12、および加算器14がアナログ回路で構成される部分である。

【0013】DSP10より音源信号a1がデジタル系列で出力され、D/A変換器11によりアナログ信号b1に変換される。この時の変換速度は、サンプリング周波数8000Hzとし、クロックm1により与えられる。アナログに変換された音源信号b1は、加算器14により、後述する予測信号l1と加算され、合成音声信号c1となる。合成音声信号c1はサンプルホールド回路12により所定のサンプリング間隔でホールドされ、その出力であるp1は、LPFを施された後、合成音声としてスピーカより出力される（全体的なタイミングについては後で説明する）。

【0014】遅延回路は、サンプルホールド回路16、17、18、…により構成される（実際には、分析次数p（p＝10）分の個数が存在する）。遅延回路は、合成音声信号c1を遅延させ、タップ出力として、d1、e1、f1、…を出力する。ここで、遅延回路のタップ数は、線形予測分析次数（10次）に対応し、10タップ構成とする。シフトタイミングは、クロックm1により与えられる。重み付け合成器は、重み付け回路（乗算器）19、20、21、…と合成器22により構成される（実際には、分析次数p（p＝10）分の個数が存在する）。タップ出力d1、e1、f1、…はそれぞれ重み付け回路（乗算器）19、20、21、…により重み付けされた後、合成器22により合成され予測信号l1が出力される。

【0015】ここで、各重み付け回路19、20、21、…に入力される重み付け係数（線形予測係数）o1、p1、q1、…は、レジスタ回路23、24、25、…（レジスタ回路についても実際には分析次数分の個数が存在する）からの出力であり、フレーム（ここで、フレームとは線形予測係数、音源信号情報を抽出する時間単位（分析フレーム）を意味する）の先頭で更新され、次のフレームが来るまで固定される。o1は線形予測係数 $-a_1$ 、p1は線形予測係数 $-a_2$ 、q1は線形予測係数 $-a_3$ に対応する。

【0016】線形予測係数 $-a_1, -a_2, -a_3, \dots, -a_p$ のレジスタ回路へのセットは以下のように行われる。フレームの先頭で、DSP10からのデジタル形式の線形予測係数g1が出力され、制御信号h1に基づき、切り替え器13を切り替えながらレジスタ回路2

3, 24, 25, …にセットされる。セットの順番は、レジスタ回路23, 24, 25, …(遅延の小さい順に並んでいる遅延回路タップに対応)に対し、 $-a_1, -a_2, -a_3, \dots, -a_p$ ($p=10$) のように次数の低い順にセットする。

【0017】各線形予測係数 g_1 は n ビット (例えば $n=16$) の精度で符号化されている。これらを一時的に記憶するため、各レジスタ回路は n ビット分のメモリを有している。これらのレジスタ回路への書き込みは、DSP10から線形予測係数出力の形態に合わせ、パラレルまたはシリアルで行われる。これらのレジスタ回路の内容の更新は、フレームの先頭で行われ、次のフレームの先頭が来るまで固定される。このタイミングについて後に説明する。

【0018】次に、重み付け回路19, 20, 21, …の構成を図2に示す。 a_2 は重み付けされる入力であり、図1の d_1, e_1, f_1 に対応する。 Z_i ($i=1, \dots, n$) 30, 31, …, 3n は入力側のインピーダンスであり、数2に示すようにコンデンサで構成される。

【0019】

【数2】

【数2】

$$Z_i = \frac{1}{j\omega c_i} \quad (i=1, 2, \dots, n)$$

【0020】ここで、 n は線形予測係数の精度に対応し、 $n=16$ とする。各コンデンサ C_i ($i=1, \dots, n$) の容量は線形予測係数のMSBに近いほど大きな値をもっている。重み付け制御信号 f_2 は図1の各レジスタ回路23, 24, 25からの出力である重み付け係数(線形予測係数) o_1, p_1, q_1 (各 n ビットで構成されている) に対応し、各ビットの値により図2のスイッチ40, 41, …, 4nをON/OFFする。これにより、 Z_i ($i=1, \dots, n$) または C_i ($i=1, \dots, n$) の総和の値を制御する。出力 e_2 はアンプ51を通して出力し、この出力 e_2 に対する帰還インピーダンス Z_{f52} は数3で表現される。

【0021】

【数3】

【数3】

$$Z_{f52} = \frac{1}{j\omega c_f}$$

【0022】この重み付け回路の利得 G は、数4となる。

【0023】

【数4】

【数4】

$$G = -\frac{\sum_i c_i}{c_f}$$

$i \in ON$

【0024】重み付けされた出力 e_2 は、図1で i_1, j_1, k_1, \dots に対応し、これらは同図の合成器22により加算され、予測信号 l_1 として出力される。

【0025】次に、図1においてサンプルホールド回路16, 17, 18, …により構成されるアナログ遅延回路の構成を図3に示す。図3はアナログ遅延回路の構成例であり、バッファ101, 105と、サンプルホールド回路102~104とで構成されており、 $TP_1 \sim TP_n$ はシフトした信号の出力端子である(図1の d_1, e_1, f_1, \dots に対応する)。入力信号 V_{in} は、バッファ101を経由して1段目のサンプルホールド回路102に入力される。1段目のサンプルホールド回路102ではクロック CK の立ち上がり同期して入力信号をサンプル保持し TP_1 に出力する。2段目のサンプルホールド回路103も同様に前段のサンプルホールド回路102の出力をサンプルして、そのまま次段に1クロック遅らせて TP_2 に出力している。3段目以降も同様に1段について1クロックずつ信号をシフトさせ n 段のアナログシフトレジスタとして動作し、 $TP_3 \sim TP_n$ に出力する。

【0026】図4はサンプルホールド回路の構成例を、図5, 6はバッファの構成例を示している。図4はバッファ201, 204, 207と CK が L の時にONになり H の時にOFFになるスイッチ202と、 CK が H の時にONになり L の時にOFFになるスイッチ205と、コンデンサ203, 206とで構成される。このサンプルホールド回路の動作を図7を用いて説明する。

【0027】入力信号 S_{in} はバッファ201を経由し、クロック CK が L でスイッチ202がONの時はコンデンサ203に信号が伝達され、クロック CK が H でスイッチ202がOFFになるとコンデンサ203に入力された信号は保持される。このときの入力信号 S_{in} に対するコンデンサ203の動作をバッファ204を経由した出力をA点としている。同様にクロック CK が H でスイッチ205がONの時はコンデンサ206に信号が伝達され、クロック CK が L でスイッチ205がOFFになるとコンデンサ206に入力された信号は保持され、バッファ207を経由して出力信号 S_{out} となる。

【0028】図5, 6はバッファの構成例で、図5はオペアンプ301を用いたボルテージホロワ回路、図6はインピーダンス素子401, 402とオペアンプ403で構成した反転バッファである。

【0029】これらバッファ、サンプルホールド回路

は、ともに公知の技術として知られている。アナログ遅延回路は、これら公知の技術を組み合わせる事により容易に構成が可能である。

【0030】図8に本発明の動作説明を示す。同図(a)はクロックm1に基づいて行われるD/A変換器11の変換結果の出力及び遅延回路のシフトタイミングを示す。これは、入力音声のサンプリング周波数(8000Hz)に対応する。同図(b)は、レジスタ回路23, 24, 25における線形予測係数の更新・固定のタイミングを示す。この実施例では、分析フレームの最初のサンプル区間(0.0125ms)の先頭から1/4以内(3.125μs以内)に $-a_1, -a_2, \dots, -a_p$ ($p=10$)の更新が行われる。その後、そのフレーム中は、 $-a_1, -a_2, \dots, -a_p$ ($p=10$)は固定され、重み付け合成での重み係数として使用される。同図(c)は、サンプルホールド回路12により合成音声信号c1をホールドするタイミングを示す。その出力であるs1は、同図(d)のように変化する。これにLPFを施せば、アナログの音声信号となり、スピーカから聞くことができる。

【0031】

【発明の効果】以上のように本発明によれば、1フレーム当たりのDSP演算量はクロックm1、音源信号a1、線形予測係数g1および制御信号h1を出力するための処理のみとなり、80(サンプル数) \times 2+10(分析次数)=170回であり、従来のDSP1600回の1/10となり、これにより他のアナログ回路も低

消費電力で実現可能である。このように線形予測分析による音声合成回路において遅延回路、重み付け合成回路をアナログ回路により実現することにより、音声合成回路の消費電力を低減することができ、これを携帯端末に使用した場合、通話時間を長く保つことができる。

【図面の簡単な説明】

【図1】本発明の一実施形態の音声合成回路図。

【図2】図1の重み付け回路図。

【図3】図1のアナログ遅延回路図。

【図4】図3のサンプルホールド回路図。

【図5】図3のバッファ回路図。

【図6】図3のバッファ回路図。

【図7】図3の動作説明図。

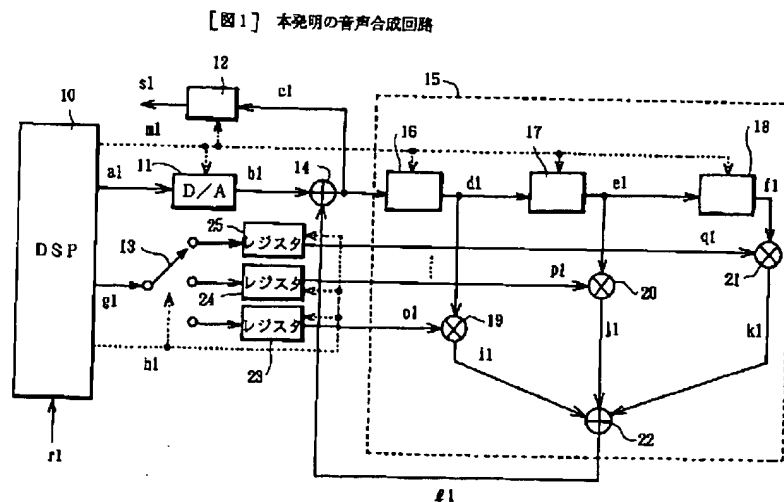
【図8】本発明の一実施形態の動作説明図。

【図9】従来の音声合成回路図。

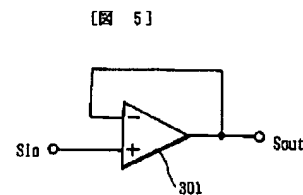
【符号の説明】

10…DSP、11…D/A変換器、12…サンプルホールド回路、13…切替器、14…加算器、16~18…サンプルホールド回路、19~21…重み付け回路、22…合成器、23~25…レジスタ、30~3n…入力側インピーダンス、40~4n…スイッチ、51…アンプ、52…帰還インピーダンス、101, 105…バッファ、102~10n…サンプルホールド回路、201, 204, 207…バッファ、202, 205…スイッチ、203, 206…コンデンサ、401, 402…インピーダンス素子、301, 403…オペアンプ。

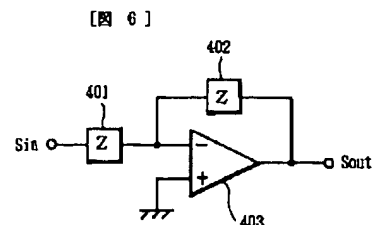
【図1】



【図5】

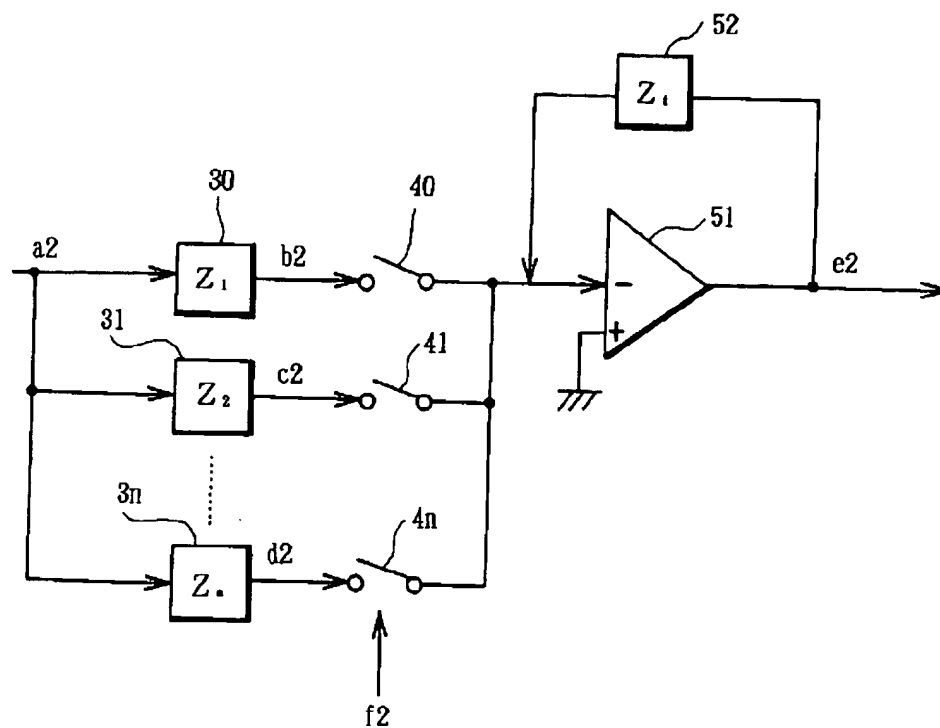


【図6】



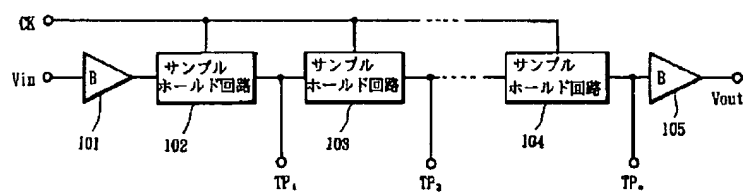
【図2】

【図2】 重み付け回路



【図3】

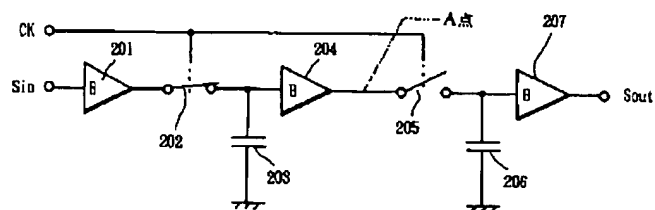
【図3】 アナログ遅延回路



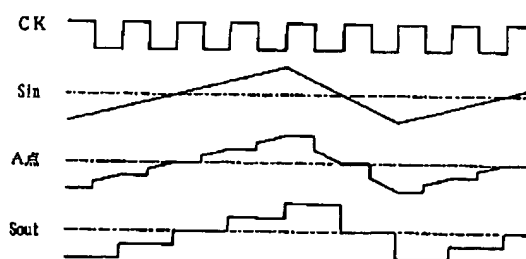
【図4】

【図7】

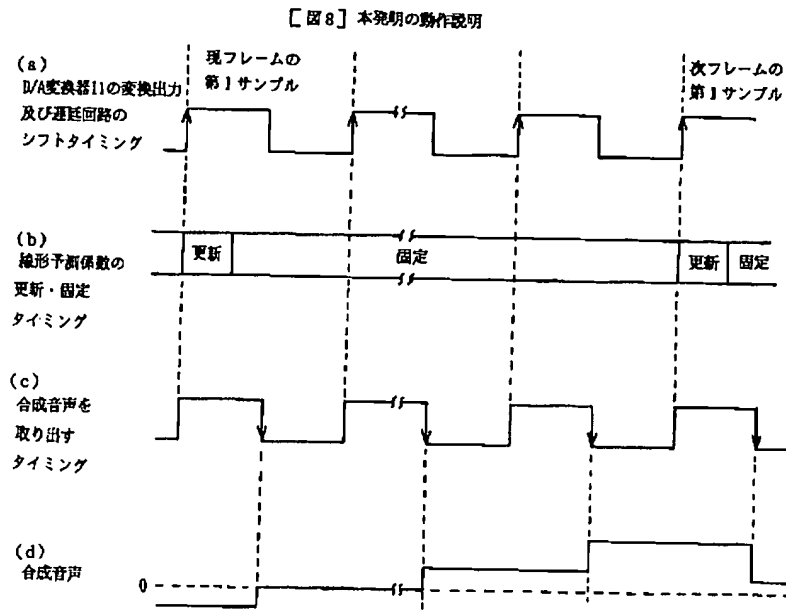
【図4】



【図7】 アナログ遅延回路の動作説明図



【図8】



【図9】

【図9】 従来の音声合成回路

